

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-324303

(P2001-324303A)

(43)公開日 平成13年11月22日(2001.11.22)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト*(参考)

G 0 1 B 7/28

G 0 1 B 7/28

H 2 F 0 6 3

A 6 1 B 5/117

G 0 6 T 1/00

4 0 0 G 4 C 0 3 8

G 0 6 T 1/00

4 0 0

A 6 1 B 5/10

3 2 2 5 B 0 4 7

審査請求 有 請求項の数23 O L (全 14 頁)

(21)出願番号 特願2000-171808(P2000-171808)

(71)出願人 000004226

(22)出願日 平成12年6月8日(2000.6.8)

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(31)優先権主張番号 特願平11-163559

(72)発明者 森村 浩季

東京都千代田区大手町二丁目3番1号 日

(32)優先日 平成11年6月10日(1999.6.10)

本電信電話株式会社内

(33)優先権主張国 日本(J P)

(72)発明者 重松 智志

東京都千代田区大手町二丁目3番1号 日

(31)優先権主張番号 特願2000-66098(P2000-66098)

本電信電話株式会社内

(32)優先日 平成12年3月10日(2000.3.10)

(74)代理人 100064621

(33)優先権主張国 日本(J P)

弁理士 山川 政樹

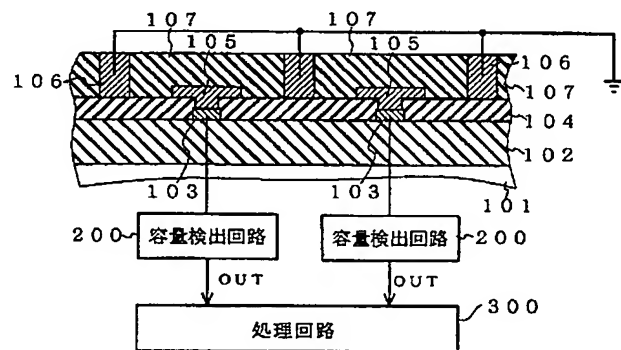
最終頁に続く

(54)【発明の名称】 表面形状認識装置

(57)【要約】

【課題】 容量型センサを用いて指紋の凹凸などの微細な表面形状を認識する表面形状認識装置の信頼性を向上させる。

【解決手段】 基板上の層間絶縁膜上に配置されかつ各々が絶縁分離されている複数のセンサ電極105と、層間絶縁膜上に各々のセンサ電極の上面および側面を各々覆って配置されかつ誘電体からなるパシベーション膜107と、認識対象物がパシベーション膜表面に接触したときにセンサ電極とこのセンサ電極に対向する認識対象物の表面との間に形成された静電容量を検出する容量検出回路200とを有する装置において、パシベーション膜表面上の静電気を通過させる手段としてアース電極106を設けるか、またはこのアース電極とともに、センサ電極と容量検出回路間に静電気保護素子Q4、Q5を設ける。



【特許請求の範囲】

【請求項1】 基板上の層間絶縁膜上に配置されかつ各々が絶縁分離されている複数のセンサ電極と、前記層間絶縁膜上に前記各々のセンサ電極の上面および側面を各々覆って配置されかつ誘電体からなるパシベーション膜と、認識対象物が前記パシベーション膜表面に接触したときに前記センサ電極とこのセンサ電極に対向する前記認識対象物の表面との間に形成された静電容量を検出する容量検出回路と、前記パシベーション膜表面上の静電気を通過させる静電気回避手段とを有することを特徴とする表面形状認識装置。

【請求項2】 請求項1において、前記静電気回避手段は、前記センサ電極と絶縁分離されて前記層間絶縁膜上に形成され、かつ一部が前記パシベーション膜とともに1つの表面を形成するアース電極であることを特徴とする表面形状認識装置。

【請求項3】 請求項1において、前記静電気回避手段は、前記センサ電極と絶縁分離されて前記層間絶縁膜上に形成され、かつ一部が前記パシベーション膜とともに1つの表面を形成するアース電極と、前記容量検出回路とセンサ電極間に設けられた静電気保護素子とからなることを特徴とする表面形状認識装置。

【請求項4】 請求項1において、前記容量検出回路は、前記センサ電極及びパシベーション膜が形成された基板上に集積回路として形成されることを特徴とする表面形状認識装置。

【請求項5】 請求項4において、前記容量検出回路とともに基板上に集積回路として形成され、この容量検出回路の検出出力を処理して前記認識対象物の表面形状として出力する処理回路を有することを特徴とする表面形状認識装置。

【請求項6】 請求項2において、各センサ電極は、前記パシベーション膜表面に接触した前記認識対象物の接触面によって複数のセンサ電極が覆われる大きさにそれぞれ形成され、かつ、前記容量検出回路は、前記基板上の前記層間絶縁膜下に形成されるとともに、前記アース電極は、前記センサ電極が配置された領域外で所定の電位が与えられる基準電極に接続されることを特徴とする表面形状認識装置。

【請求項7】 請求項6において、前記容量検出部の検出出力を処理して前記認識対象物の表面形状として出力する処理回路を備え、前記処理回路は、前記認識対象物が前記パシベーション膜表面に接触したときに前記容量検出回路により検出され各々のセンサ電極に対応する各静電容量の差分を処理して前記認識対象物の表面形状として出力することを特

徴とする表面形状認識装置。

【請求項8】 請求項2において、前記アース電極は、格子状に形成され、この格子状に形成されたアース電極の升の中央に前記センサ電極が配置されていることを特徴とする表面形状認識装置。

【請求項9】 請求項2において、前記アース電極の一部は、前記パシベーション膜とともに1つの平面を形成することを特徴とする表面形状認識装置。

【請求項10】 請求項6において、前記基準電極は、接地電位が与えられることを特徴とする表面形状認識装置。

【請求項11】 請求項1において、前記容量検出回路は、前記センサ電極に接続され前記静電容量に応じた信号を発生させる信号発生回路と、前記センサ電極と信号発生回路の接続部に発生した信号を入力すると所望の信号に変換して出力する出力回路とからなり、

前記静電気回避手段は、前記センサ電極に接続される全ての回路の入力側に静電気保護素子として設けられることを特徴とする表面形状認識装置。

【請求項12】 請求項11において、前記静電気保護素子は、前記センサ電極にソース端子及びドレイン端子の何れか一方の端子が接続されるMOSトランジスタからなり、前記MOSトランジスタの前記一方の端子と、このMOSトランジスタが形成される基板またはウェルとの間に寄生pnダイオードが形成されることを特徴とする表面形状認識装置。

【請求項13】 請求項1において、前記容量検出回路は、前記センサ電極に接続され前記静電容量に応じた信号を発生させる信号発生回路と、前記センサ電極と信号発生回路の接続部に発生した信号を増幅する信号増幅回路と、前記信号増幅回路からの信号を所望の信号に変換して出力する出力回路とからなり、前記静電気回避手段は、前記センサ電極に接続される前記信号増幅回路の入力に含まれることを特徴とする表面形状認識装置。

【請求項14】 請求項13において、前記信号増幅回路は、前記センサ電極に対しソース端子及びドレイン端子の何れか一方の端子が前記入力として接続されたMOSトランジスタから構成され、前記MOSトランジスタの前記一方の端子と、このMOSトランジスタが形成される基板またはウェルとの間に寄生pnダイオードが形成されることを特徴とする表面形状認識装置。

【請求項15】 請求項1において、前記容量検出回路は、前記センサ電極に接続され前記静電容量に応じた信号を発生させる信号発生回路と、前記

センサ電極と信号発生回路の接続部に発生した信号を入力すると所望の信号に変換して出力する出力回路とからなり、

前記静電気回避手段は、前記センサ電極と出力回路間に静電気保護素子として設けられることを特徴とする表面形状認識装置。

【請求項 16】 請求項 15 において、

前記静電気保護素子は、前記ソース端子及びドレイン端子の何れか一方の端子が前記センサ電極に接続されるとともに、ソース端子及びドレイン端子の何れか他方の端子が前記出力回路の入力側に接続される MOS トランジスタからなり、

前記 MOS トランジスタの前記一方の端子と、前記 MOS トランジスタが形成される基板またはウェルとの間に寄生 p n ダイオードが形成されることを特徴とする表面形状認識装置。

【請求項 17】 基板上の層間絶縁膜上に配置されかつ各々が絶縁分離されている複数のセンサ電極と、前記層間絶縁膜上に前記各々のセンサ電極の上面および側面を各々覆って配置されかつ誘電体からなるパシベーション膜と、

前記センサ電極とは絶縁分離されて前記層間絶縁膜上に形成され、かつ一部は前記パシベーション膜とともに 1 つの表面を形成するアース電極と、

認識対象の一部が前記パシベーション膜表面に接触したときに前記センサ電極とこれに対向する前記認識対象表面との間に形成された容量を検出する集積回路からなる容量検出手段とを備え、

前記センサ電極は、前記認識対象が前記パシベーション膜に接したときに複数の前記センサ電極が覆われる大きさに形成され、

前記容量検出手段は、前記基板上の前記層間絶縁膜下に形成され、

前記アース電極は、前記センサ電極が配置された領域外で所定の固定電位が与えられる基準電極に接続され、前記認識対象が前記パシベーション膜表面に接触したときに前記容量検出手段が検出した各々の前記センサ電極に対応する容量の変化により前記認識対象の表面形状を認識することを特徴とする表面形状認識装置。

【請求項 18】 請求項 17 において、

前記アース電極は、格子状に形成され、

この格子状に形成されたアース電極の升の中央に前記センサ電極が配置されていることを特徴とする表面形状認識装置。

【請求項 19】 請求項 17 または請求項 18 において、

前記アース電極の一部は、前記パシベーション膜とともに 1 つの平面を形成することを特徴とする表面形状認識装置。

【請求項 20】 請求項 17 ないし請求項 19 の何れか

の請求項において、

前記基準電極は、接地電位が与えられることを特徴とする表面形状認識装置。

【請求項 21】 検出対象物の表面の形状に応じて電気量に変化する検出素子と、前記検出素子に接続され前記電気量に応じた信号を発生させる信号発生回路と、前記検出素子と信号発生回路の接続部に発生した信号を入力すると所望の信号に変換して出力する出力回路とからなる表面形状認識装置において、

前記検出素子に接続される全ての回路の入力としてこの検出素子にソース端子及びドレイン端子の何れか一方が接続される MOS トランジスタを備えるとともに、ソース端子及びドレイン端子の何れか一方と前記 MOS トランジスタを形成する基板またはウェルとの間に形成される寄生 p n ダイオードを保護素子として用いることを特徴とする表面形状認識装置。

【請求項 22】 検出対象物の表面の形状に応じて電気量に変化する検出素子と、前記検出素子に接続され前記電気量に応じた信号を発生させる信号発生回路と、前記検出素子と信号発生回路の接続部に発生した信号を増幅する信号増幅回路と、前記信号増幅回路から入力した信号を所望の信号に変換して出力する出力回路とからなる表面形状認識装置であって、

前記検出素子に接続される前記信号増幅回路の入力としてこの検出素子にソース端子及びドレイン端子の何れか一方が接続される MOS トランジスタを備えるとともに、ソース端子及びドレイン端子の何れか一方と前記 MOS トランジスタを形成する基板またはウェルとの間に形成される寄生 p n ダイオードを保護素子として用いることを特徴とする表面形状認識装置。

【請求項 23】 検出対象物の表面の形状に応じて電気量に変化する検出素子と、前記検出素子に接続され前記電気量に応じた信号を発生させる信号発生回路と、前記検出素子と信号発生回路の接続部に発生した信号を入力すると所望の信号に変換して出力する出力回路とからなる表面形状認識装置において、

前記検出素子にソース端子及びドレイン端子の何れか一方が接続される MOS トランジスタを備えるとともに、前記 MOS トランジスタのソース端子及びドレイン端子の何れか他方は前記出力回路の入力側に接続され、かつソース端子及びドレイン端子の何れか一方と前記 MOS トランジスタを形成する基板またはウェルとの間に形成される寄生 p n ダイオードを保護素子として用いることを特徴とする表面形状認識装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表面形状認識装置に関し、特に人間の指紋や動物の鼻紋などの微細な凹凸を認識する表面形状認識装置に関するものである。

【0002】

【従来の技術】情報化社会の進展と現代社会の環境において、セキュリティ技術への関心が高まっている。例えば、情報化社会では、電子現金化などのシステム構築のための本人認証技術が、重要な鍵となってくる。また、盗難やカードの不正使用の防御策のための認証技術についても研究開発が活発になっているのが実情である（例えば、清水良真他、個人認証付き機能付きICカードに関する一検討、信学技報、Technical report of IEICE, OFS92-32, p25-30(1992)）。

【0003】このような、不正使用防御策のための認証方式には、指紋や声紋などを利用したものが種々あるが、中でも、指紋認証技術については、これまで多くの技術開発がなされている。指紋の認証方式は、光学的な読み取り方式と人間の電気特性を利用して指紋の凹凸を電気信号に置き換えて検出する方式とに大別される。光学的に読み取る方式は、主に光の反射とCCDイメージセンサを用い、指紋を光学像データとして取り込み、照合を行う方式である（特開昭61-221883号公報）。

【0004】他の方式として、指の指紋の圧力差を読み取るために圧電薄膜を利用した方式も開発されている（特開平5-61965号公報）。また、同じように、皮膚の接触により生じる電気特性の変化を、電気信号の分布に置き換えて指紋の形状を検出する方式として、感圧シートを用いて抵抗変化量もしくは容量変化量による認証方式が提案されている（特開平7-168930号公報）。しかしながら、以上の技術において、まず、光を用いた方式は小型化することが難しく、汎用的に用いることが困難であり、用途が限定されるという問題がある。次に、感圧シートなどを用いて指の凹凸を感知する方式は、材料が特殊であることや加工性の難しさから、実用化が難しく信頼性に乏しいことが考えられる。

【0005】一方、LSIの製造技術を用いて作製された容量型の指紋センサが開発されている（Marco Tartagni and Roberto Guerrieri, A 390dpi Live Fingerprint Imager Based on Feedback Capacitive Sensing Scheme, 1997 IEEE International Solid-State Circuits Conference, p200-201(1997).）。これは、LSIチップ上に2次元に配列された小さなセンサにより、帰還静電容量方式を利用して皮膚の凹凸パターンを検出する方法である。この容量型センサは、基本的にはLSI配線の最上層にプレート形成し、プレート上にパシベーション膜を形成したものである。

【0006】このセンサに指先が触れると、皮膚の表面が第2のプレートとして機能し、空気からなる絶縁層で隔離され、皮膚表面とプレートとの距離の違いでセンシングを行うことにより指紋を検出するものである。なお、この技術では、最上層に配置されるプレートの近傍に参照用のプレートを配置し、この参照用のプレートとの差分を実際のセンシングに用いるようにしている。こ

の構造は、従来の光学式に比較し、特殊なインターフェイスが不要なことや、小型化が可能なのが特徴である。

【0007】上記指紋センサは、原理的には、半導体基板上にセンサ電極を形成し、センサ電極上にパシベーション膜を形成したものであり、パシベーション膜を介して皮膚とセンサとの容量を検出し微細構造の凹凸を検出する方法である。ここで従来の容量型の指紋センサについて図を参照して簡単に説明する。この容量型センサは、図10の断面図に示すように構成されている。まず、LSI等の形成された半導体基板401の上に、下層絶縁膜402を介して配線403が形成され、この上に層間絶縁膜404が形成されている。

【0008】また、層間絶縁膜404上には、例えば平面形状が矩形のセンサ電極406が形成されている。このセンサ電極406は、層間絶縁膜404に形成されたスルーホール内のプラグ405を介して配線403に接続されている。層間絶縁膜404上に、センサ電極406を覆うように、パシベーション膜407が形成され、センサ素子が構成されている。センサ素子は、図11の平面図に示すように、隣り合うセンサ素子のセンサ電極406が接触しないように、2次元的に複数配置されている。

【0009】つぎに、上記容量型センサの動作について説明する。指紋検出のときは、まず、指紋検出対象の指が、パシベーション膜407に接触する。このように、指が接触すると、センサ電極406上では、パシベーション膜407に触れた皮膚が電極として機能し、センサ電極406との間で容量が形成される。この容量は、配線403を介して検出される。ここで、指先の指紋は、皮膚の凹凸により形成されているので、パシベーション膜407に指を接触させた場合、電極としての皮膚と、センサ電極406との距離は、指紋を形成している凸部と凹部とで異なる。この距離の違いは、容量の違いとして検出されることになる。したがって、各々のセンサ電極における異なる容量の分布を検出していけば、指紋の凹凸の形状となる。このように、この容量型センサにより、皮膚の微細な凹凸状態を感知することができる。

【0010】このような容量型指紋センサは、従来の光学式センサと比較して特殊なインターフェイスが不要であり、小型化が可能である。この容量型センサは、以下に示す各部が集積化された集積回路（LSI）チップ上に一体化して搭載することができる。すなわち、センサ電極406の容量を検出する容量検出回路と、容量検出回路の出力を入力して処理する処理回路と、照合のための指紋データが格納された記憶回路と、記憶回路の指紋データと容量検出回路により検出され処理回路により処理された指紋とを比較照合する比較照合回路とが集積化された集積回路チップに、上述の容量型センサを搭載することができる。このように、1つの集積回路チップ

上に構成することで、各ユニット間のデータ転送における情報の改竄などが困難になり、機密保持性能を向上させることができる。なお、こうしたLSI製造技術を用いた容量検出型センサは、例えば、'ISSCC DIGEST OF TECHNICAL PAPERS' FEBRUARY 1998 pp. 284~285に記載されている。

【0011】図12は指の皮膚と電極との間に形成される静電容量を検出して、指紋の凹凸パターンを検出する従来の容量検出回路の回路図である。図12において、50は検出素子であり、接触した指の表面400とセンサ電極406との間に形成される静電容量の値Cfを電圧信号として出力するものである。容量検出回路500は、信号発生回路510及び出力回路520等により構成される。検出素子50のセンサ電極406は、NchMOSトランジスタQ2を介し電流Iの電流源511の入力側に接続されている。また、センサ電極406とトランジスタQ2との節点N1には、出力回路520の入力側が接続されている。また、節点N1にはPchMOSトランジスタQ1を介して、電源電圧VDDが印加される。この節点N1は寄生容量Cp0を有している。さらに、トランジスタQ1、Q2のゲート端子にはそれぞれ信号PRE（バー）、REが印加される。ここで、電流源5

$$\Delta V = I \Delta t / (Cf + Cp0)$$

となる。ただし、Cfは静電容量の値である。

【0014】電流源511の電流I、期間 Δt 及び寄生容量Cp0はそれぞれ一定であるから、電位低下 ΔV は静電容量値Cfによって決定される。この容量値Cfは電極406と指の表面400との距離によって決まるので、指紋の凹凸によって容量400の値Cfが異なる。このことから、指紋の凹凸を反映して低下電位 ΔV の大きさが変化する。この電位低下 ΔV が入力信号として出力回路520に供給されるので、出力回路520で ΔV が入力され、指紋の凹凸を反映した信号が出力される。

【0015】

【発明が解決しようとする課題】しかしながら、上述した容量型センサは、指の皮膚等を電極として利用しているため、静電気を帯びている指が接触したときにこの静電気により、容量型センサと一体となっているLSIが静電破壊されやすく信頼性が低下するという問題があった。即ち、通常、LSIを構成するMOSトランジスタは、ゲート端子に入力された信号に対して高感度で信号を出力する特性を有している。このため、従来の容量検出回路500では、センサ電極406に接続される節点N1に直接出力回路520のMOSトランジスタQ3のゲート端子を接続し、前記節点に発生する微細な信号変化 ΔV を高感度で検出して出力するようにしている。

【0016】しかし、MOSトランジスタのゲート酸化膜は10nmと薄いため、その絶縁耐圧は100V程度である。この絶縁耐圧を超える高電圧がゲート端子に入

*11とトランジスタQ2とにより信号発生回路510が構成され、NchMOSトランジスタQ3とバイアス抵抗Raとにより出力回路520が構成される。

【0012】図12の容量検出回路500の動作を説明する。はじめに、トランジスタQ1のゲート端子にはHighレベル（VDD）の信号PRE（バー）が与えられ、トランジスタQ2のゲート端子にはLowレベル（GND）の信号REが与えられている。したがって、このときトランジスタQ1、Q2はともに導通していない。この状態で信号PRE（バー）がHighレベルからLowレベルに変化すると、トランジスタQ1が導通状態になる。このときトランジスタQ2は非導通状態のままであるから、節点N1の電位がVDDにプリチャージされる。

【0013】プリチャージが終了した後、信号PRE（バー）がHighレベルに変化すると同時に信号REがHighレベルに変化する。これによりトランジスタQ1が非導通状態に、トランジスタQ2が導通状態になり、電流源511により節点N1の充電電荷が引き抜かれる。この結果、節点N1の電位が低下する。信号REをHighレベルにする期間を Δt とすると、 Δt 経過後の節点N1の電位低下 ΔV は

$$(1)$$

力されるとゲート酸化膜は破壊されMOSトランジスタは動作不能になる。そのため、図12に示す従来の容量検出回路は、指紋の凹凸などの表面形状を認識する際に指などの認識対象物が静電気を帯びていた場合、この1000V以上の静電気がセンサ電極406を介し出力回路3内のMOSトランジスタQ3のゲート端子まで達し、この結果、トランジスタQ3が破壊され、信頼性が低下するという問題があった。したがって、本発明は、容量型センサを用いて指紋の凹凸などの微細な表面形状を認識する表面形状認識装置の信頼性を向上させることを目的とする。

【0017】

【課題を解決するための手段】本発明の表面形状認識装置は、基板上の層間絶縁膜上に配置されかつ各々が絶縁分離されている複数のセンサ電極（105）と、層間絶縁膜上に前記各々のセンサ電極の上面および側面を各々覆って配置されかつ誘電体からなるバシベーション膜（107）と、認識対象物がバシベーション膜表面に接触したときにセンサ電極とこれに対向する前記認識対象物の表面との間に形成された静電容量を検出する容量検出回路（200）と、バシベーション膜表面上の静電気を通過させる静電気回避手段（106、Q4、Q5）とを設けたものである。また、静電気回避手段を、センサ電極と絶縁分離されて層間絶縁膜上に形成され、かつ一部がバシベーション膜とともに1つの表面を形成するアース電極（106）として設けたものである。また、静

電気回避手段を、容量検出回路内のセンサ電極に接続される全ての回路の入力側に静電気保護素子として設けたものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図を参照して説明する。

（第1の実施の形態）図1は、本発明に係る表面形状認識装置の第1の実施の形態を示す要部断面図である。図1において、本表面形状認識装置を構成するセンサチップは、例えばシリコンからなる半導体基板101上の下層絶縁膜102上に形成された層間絶縁膜104上に、たとえば80 μ m角の複数のセンサ電極105と、格子状のアース電極106とを備えるようにしている。また、複数のセンサ電極105とアース電極106とを、層間絶縁膜104表面で規定される同一平面上に配置するようにしている。なお、アース電極106は、センサ電極105と同一平面上に配置する必要はない。

【0019】アース電極106は、図2の平面図に示すように、アース電極106で構成している格子の升の中央にセンサ電極105が配置されるようにし、かつセンサ電極105とは絶縁分離された状態としている。アース電極106は、例えばAuから構成し、層間絶縁膜104に接する底部からパシベーション膜107表面に露出する頸部までの高さ、すなわち膜厚を3 μ m程度とした。したがって、パシベーション膜107の膜厚も、3 μ m程度である。アース電極106の上面は、パシベーション膜107表面とともに1つの表面を形成し、本実施の形態では、この表面を1つの平面としている。

【0020】また、アース電極106は、層間絶縁膜104上に形成した配線106aで接地線が接続されるパッド（基準電極）106bに導通させ、センサ電極105が形成される検出領域105a内では、層間絶縁膜104上だけに存在させた。本実施の形態では、アース電極106を層間絶縁膜104上に接して形成するようにしたが、これに限るものではない。アース電極106は、パシベーション膜107表面より埋め込むように配置し、アース電極106底部が層間絶縁膜104上面から離れていてもよい。なお、パッド106bは、接地線に接続するのではなく、所定の固定電位が与えられるようにしてもよい。

【0021】上記センサ電極105は、層間絶縁膜104上に形成されたパシベーション膜107で覆い、150 μ m間隔に複数個を備えるようにした。また、センサ電極105は、例えばAuから構成し、膜厚1 μ m程度に形成した。パシベーション膜107の膜厚は3 μ m程度としたので、センサ電極105上には、パシベーション膜107が約2（=3-1） μ m存在している。このパシベーション膜107は、例えばポリイミドなどの比誘電率が4.0程度の絶縁物から構成すればよい。

【0022】上記下層絶縁膜102上には、センサ電極

105にスルーホールを介して接続する配線103を形成するようにした。また、半導体基板101上には、指等がセンサに触れたときに指とセンサ電極105間に形成される容量を検出する容量検出回路200を形成している。この容量検出回路200は、前述した配線103などによりセンサ電極105に接続している。容量検出回路200は、例えばセンサ電極105毎に用意され、センサ電極105と認識対象物の一部との間に形成される容量を検出する。

【0023】各容量検出回路200の出力OUTは、処理回路300により処理され、この処理回路300の処理により、各センサ電極105と、認識対象物である指の表面間の静電容量（即ち、指の表面形状を示す後述の指紋の凹凸）を濃淡に変換した画像データが生成される。容量検出回路200および処理回路300は、センサ電極105下の半導体基板101上に集積回路として形成される。なお、容量検出回路200や処理回路300は、必ずしも半導体基板101上にモノリシックに集積する必要はない。しかし、センサ電極105と容量検出回路200や処理回路300は、なるべく近くに配置した方が望ましい。

【0024】このように、第1の実施の形態では、認識対象となる指などが認識のために接触するパシベーション膜107表面に、一部が露出したアース電極106を設けるようにした。このことにより、パシベーション膜107表面に指が接触したときに生じる静電気はアース電極106に流れるようになり、層間絶縁膜104下に配置された容量検出回路200への静電気の印加を抑制できるようになる。このように、容量検出回路200は、アース電極106により静電気の影響を受けにくくなっているため、容量検出回路の信頼性が向上する。

【0025】（第2の実施の形態）図3は第2の実施の形態を示す図であり、表面形状認識装置を構成する容量検出回路の回路図である。この容量検出回路200Aは、接触した人間の指などの認識対象物100とセンサ電極105間の静電容量を検出するものであり、検出した静電容量値Cfに相当する電気量に応じた信号を発生する信号発生回路210と、センサ電極105と信号発生回路210との間の接続点の信号を検出して出力する出力回路220等からなる。

【0026】図3において、検出素子1を構成するセンサ電極105は、信号発生回路210内のNchMOSトランジスタQ2のドレイン端子に接続され、トランジスタQ2のソース端子は電流値Iの電流源211の入力側に接続される。また、センサ電極105とトランジスタQ2との節点N1には、PchMOSトランジスタQ4のソース端子が接続される。トランジスタQ4のドレイン端子には、ソース端子に電源電圧VDDが印加されたPchMOSトランジスタQ1のドレイン端子と、出力回路220の入力側が接続される。また、NchMOSトランジ

スタQ3とバイアス抵抗Raとにより出力回路200が構成される。ここで、Cp0、Cp1は寄生容量である。なお、上記トランジスタなどの素子は図1に示した下層絶縁膜102下の半導体基板101上に形成される。また、上記各トランジスタなどの素子は、下層絶縁膜102上の配線層により接続されて容量検出回路を構成している。

【0027】さて以上のように構成された容量検出回路200Aの動作について説明する。スタンバイ状態では、図3のトランジスタQ1のゲート端子にHighレベル(VDD)の信号PRE(バー)が与えられ、トランジスタQ2のゲート端子にはLowレベル(GND)の信号REが与えられる。したがって、このときトランジスタQ1、Q2はともに非導通である。また、トランジスタQ4のゲート端子にはこのトランジスタQ4が導通するように電位VGPが印加される。

【0028】ここで、信号PRE(バー)がHighレ

$$\Delta V = I \cdot \Delta t / (C_f + C_{p0} + C_{p1})$$

となる。ここで、Cfは静電容量値、Cp0、Cp1は各寄生容量値、Iは電流源211の電流値を示す。静電容量Cfは、指の皮膚100とセンサ電極105との距離により決まるため、指紋の凹凸に応じて容量値Cfは異なる。また、電流値I及びCp0、Cp1の値は一定であるため、式(2)において指紋の凹凸に応じて電圧低下ΔVが変化する。この電圧低下ΔVが入力信号として出力回路220に供給されることから、出力回路220でΔVが入力され、指紋の凹凸を反映した信号を出力できる。

【0030】図3の容量検出回路では、トランジスタQ4のソース端子を入力として検出素子1のセンサ電極105に接続している。ここで、図3の容量検出回路においてトランジスタQ4部分の断面構造を模式的に示した図を図4に示す。図4において、トランジスタQ4のゲートに電圧VGPを有する電源が接続され、ソース端子に節点N1、ドレイン端子に節点N2が接続されている。トランジスタQ4のソース端子及びドレイン端子は半導体としてp+の電気的極性を有しており、基板(またはウェル)はnの極性を有している。このため節点N1には寄生のpnダイオードが接続されていることになる。また、n極性の基板(またはウェル)は電源電位VDDに接続されているため、寄生のpnダイオードはダイオードD1として図5のように節点N1に接続されることになる。

【0031】このため、節点N1に高電圧が印加されてもダイオードD1が導通状態になり保護回路として機能する。また、pn接合はゲート酸化膜に対して絶縁破壊電圧が十分に大きい。そのため節点N1に高い負電圧が印加されてもトランジスタQ4は破壊されることがない。このように、検出素子1のセンサ電極105にMOSトランジスタのゲート端子を接続せずに、センサ電極

*ベルからLowレベルに変化すると、トランジスタQ1が導通状態になる。このときトランジスタQ2は非導通状態のままであり、したがって信号発生回路210は停止状態にあるため、節点N2の電位がVDDにプリチャージされる。また、節点N1もトランジスタQ4を介してVDDにプリチャージされる。こうしてプリチャージが行われた後、信号PRE(バー)をLowレベルからHighレベルにしてトランジスタQ1を非導通状態にする。また、同時に信号REをLowレベルからHighレベルにしてトランジスタQ2を導通させる。これにより信号発生回路210が動作状態になり、信号発生回路210の電流源211により節点N1、N2の充電電荷が引き抜かれ、節点N1、N2の電位が低下する。

【0029】ここで、信号REをHighレベルに維持する期間をΔtとすると、Δt後の節点N1、N2の電圧低下ΔVは、

$$(2)$$

105にPchMOSトランジスタQ4を接続したことにより、ソース端子と基板に寄生のpnダイオードが形成され、これにより節点N1の絶縁破壊電圧が高められるとともに、高電圧の印加に対し保護回路として機能する。したがって、静電気を帯びた指などがセンサに触れたときに図12に示す従来の容量検出回路のようにその高電圧の静電気がセンサ電極105を介し出力回路220内のMOSトランジスタQ3のゲート端子に達して、トランジスタQ3が破壊されるようなことが防止され、容量検出回路200Aを含む処理回路300の信頼性が向上する。

【0032】なお、第2の実施の形態では、検出素子1のセンサ電極105にPchMOSトランジスタQ4のソース端子を接続した例を説明したが、一般にMOSトランジスタのソースはドレインと同様の特性を有しているため、センサ電極105にPchMOSトランジスタQ4のドレイン端子を接続してもドレイン端子と基板間に寄生のpnダイオードが形成され、これにより同様に節点N1の絶縁破壊電圧が高められ、かつ高電圧の印加に対し保護回路として機能する。また、図3～図5の容量検出回路200A内の信号発生回路210及び出力回路220等の構成は実現例の一つを示したものであり、これらの構成は図3～図5に示す構成に限定されない。

【0033】(第3の実施の形態)図6は、本発明の第3の実施の形態を示す容量検出回路の回路図である。図3の第2の実施の形態では、センサ電極105と出力回路220間にPchMOSトランジスタQ4を配設していたのに対し、第3の実施の形態では、検出素子1と出力回路220間にNchMOSトランジスタQ5を配設するものである。

【0034】次に図6の容量検出回路200Bの動作について説明する。信号PRE(バー)がHighレベル

からLowレベルに変化すると、トランジスタQ1が導通状態になる。このときトランジスタQ2は非導通状態のままであるため節点N2の電位がVDDにプリチャージされる。この結果、節点N1の電位はトランジスタQ5を介してVGN-Vthにプリチャージされ、トランジスタQ5は非導通になる。なお、VGNはトランジスタQ5のゲート端子の電位、VthはトランジスタQ5のしきい値電圧である。

【0035】こうしてプリチャージが行われた後、信号PRE(バー)をLowレベルからHighレベルにしてトランジスタQ1を非導通状態にする。また、同時に信号REをLowレベルからHighレベルにしてトランジスタQ2を導通させる。これにより信号発生回路210が動作状態になり、信号発生回路210の電流源211により節点N1の充電電荷が引き抜かれ、節点N1*

$$\Delta V = VDD - (VGN - Vth) + I \cdot \Delta t / (Cf + Cp0 + CP1) \quad (3)$$

となる。なお、Iは電流源211の電流値である。静電容量値Cfは、指の皮膚100とセンサ電極105との距離により決まるため、指紋の凹凸に応じて容量値Cfは異なる。また、式(3)において容量値Cf以外の値は全て一定であるため、式(3)において指紋の凹凸に応じて電圧低下ΔVが変化する。この電圧低下ΔVが入力信号として出力回路220に供給されることから、出力回路220でΔVが入力され、指紋の凹凸を反映した信号を出力できる。

【0038】図6の容量検出回路200Bでは、増幅回路の入力としてトランジスタQ5のソース端子をセンサ電極105に接続している。ここで、図6の容量検出回路200BにおいてトランジスタQ5部分の断面構造を模式的に示した図を図7に示す。図7において、トランジスタQ5のゲート端子に電圧VGNの電源が接続され、ソース端子に節点N1、ドレイン端子に節点N2が接続されている。トランジスタQ5のソース端子及びドレイン端子は半導体としてn+の電気的極性を有しており、基板(またはウェル)はpの極性を有している。このため、節点N1には寄生のpnダイオードが接続されることになる。また、p極性の基板(またはウェル)はグラウンド電位に接続されているため、寄生のpnダイオードはダイオードD2として図8のように節点N1に接続されることになる。

【0039】上述したように、pn接合はゲート酸化膜に対して絶縁破壊電圧が十分に大きい。そのため、第3の実施の形態に示す容量検出回路は、節点N1に高い電圧が印加されてもトランジスタQ5は破壊されることがない。また、節点N1に高い負電圧が印加された場合にはダイオードD2が導通して保護回路として機能する。

【0040】このように、検出素子1のセンサ電極105にMOSトランジスタのゲート端子を接続せずに、センサ電極105にNchMOSトランジスタQ5のソース端子を接続したことにより、ソース端子と基板間に寄生

*の電位が僅かに低下する。すると、トランジスタQ5が導通し、電流源211により節点N2の充電電荷も引き抜かれ節点N2の電位も低下する。

【0036】ここで、寄生容量値Cp1はトランジスタQ1、Q5の各ドレイン端子、及びトランジスタQ3のゲート端子の寄生容量が主であり、実際のレイアウトにより寄生容量値Cp0より充分小さくすることができ。そのため、節点N2の電位変化は節点N1の電位変化より大きくなる。このようにトランジスタQ5は信号発生回路210から発生した電圧信号を増幅する増幅回路の働きをする。

【0037】ここで、信号REをHighレベルに維持する期間をΔtとすると、Δt後の節点N1の電圧低下ΔVは、

のpnダイオードが形成され、これにより節点N1の絶縁破壊電圧が高められ、かつ負電圧に対しては保護回路として機能する。したがって、静電気を帯びた指などがセンサに触れたときに図12に示す従来の容量検出回路のようにその高電圧の静電気がセンサ電極105を介し出力回路220内のMOSトランジスタQ3のゲート端子に達して、トランジスタQ3が破壊されるようなことが防止され、容量検出回路200Bを含めた処理回路300の信頼性が向上する。

【0041】なお、第3の実施の形態では、検出素子1のセンサ電極105にNchMOSトランジスタQ5のソース端子を接続した例を説明したが、一般にMOSトランジスタのソースはドレインと同様の特性を有しているため、センサ電極105にNchMOSトランジスタQ5のドレイン端子を接続してもドレイン端子と基板間に寄生のpnダイオードが形成され、これにより同様に節点N1の絶縁破壊電圧が高められ、かつ負電圧に対しては保護回路として機能する。また、トランジスタQ5は増幅機能を有しているため、第2の実施の形態の容量検出回路に比べ素子数を増加させることなく保護機能を有する増幅回路を実現できる。したがって、容量検出回路の検出感度を高める場合に回路を経済的かつ小型に構成できる。なお、図6～図8の容量検出回路200B内の信号発生回路210及び出力回路220等の構成は実現例の一つを示したものであり、これらの各部は図6～図8に示した構成に限定されない。

【0042】(第4の実施の形態) 第4の実施の形態の容量検出回路は図示省略したが、図3に示す第2の実施の形態の容量検出回路200Aの各トランジスタ及び信号の極性を反転し、かつ図3に示すグラウンド(GND)電位と電源電位VDDとを入れ替えたものである。このように構成することで第2の実施の形態の容量検出回路200Aと同様の効果が得られる。

【0043】(第5の実施の形態) 第5の実施の形態の

容量検出回路は図示省略したが、図6に示す第3の実施の形態の容量検出回路200Bの各トランジスタ及び信号の極性を反転し、かつ図6に示すグランド(GND)電位と電源電位VDDとを入れ替えたものである。このように構成することで第3の実施の形態の容量検出回路200Bと同様の効果が得られる。

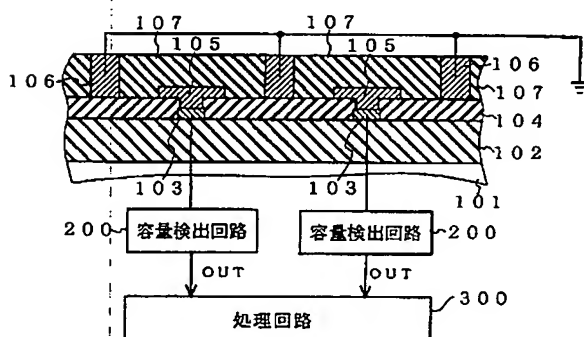
【0044】(第6の実施の形態)第6の実施の形態の容量検出回路は、増幅回路として他のソース入力型の増幅回路を用いた場合の例であり、増幅機能を有する図6のトランジスタQ5を、図9に示すように2つのトランジスタQ5A、Q5Bで構成して各トランジスタQ5A、Q5Bのドレイン端子とゲート端子とを交差接続することにより差動型増幅回路として機能させるようにしたものである。図9に示すMOSトランジスタQ5AまたはQ5Bのソース端子を、差動型増幅回路の入力としてセンサ電極105に接続することで、第3及び第5の実施の形態と同様の効果が得られる。

【0045】このように、MOSトランジスタのソース端子を、検出素子1のセンサ電極105に接続し、検出素子1側からの信号を入力する入力回路の入力とすることで、寄生のpnダイオードが形成される。このため、絶縁破壊電圧が高められ保護回路として機能することから容量検出回路200の信頼性が向上する。したがって、LSI製造技術を用いた指紋検出用装置として本表面形状認識装置を適用すれば、指が静電気を帯びた場合でも装置の破壊を防止することができ、表面形状認識装置の信頼性が向上する。

【0046】

【発明の効果】以上説明したように本発明によれば、装置表面にアース電極を備え、アース電極やこれに接続する配線が装置内部に配置されないようにしたので、静電気を帯びた人間の指などの認識対象物が装置表面に接触することにより装置表面に発生する電流は装置内部に流れずにアース電極を介して接地側に流れる。これにより、装置内部の容量検出回路等への静電気の影響を抑制でき、したがって装置の信頼性が向上するとともに、装置表面に接触した認識対象物の表面形状を、安定かつ高

【図1】



感度で検出できる。また、認識対象物の検出を行うセンサ電極に接続される容量検出回路内の全ての回路の入力側に静電気保護素子を設けるようにしたので、容量検出回路の静電気による破壊を防止できる。

【図面の簡単な説明】

【図1】 本発明に係る表面形状認識装置の第1の実施の形態を示すセンサチップの断面図である。

【図2】 前記センサチップの平面図である。

【図3】 本発明の第2の実施の形態を示す容量検出回路の回路図である。

【図4】 図3の容量検出回路の要部構成を示す図である。

【図5】 図4の容量検出回路の等価回路を示す図である。

【図6】 本発明の第3の実施の形態を示す容量検出回路の回路図である。

【図7】 図6の容量検出回路の要部構成を示す図である。

【図8】 図7の容量検出回路の等価回路を示す図である。

【図9】 本発明の第6の実施の形態を示す容量検出回路の回路図である。

【図10】 従来のセンサチップの断面図である。

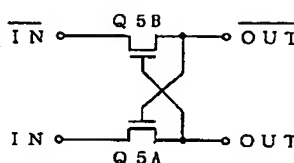
【図11】 従来のセンサチップの平面図である。

【図12】 従来の容量検出回路の回路図である。

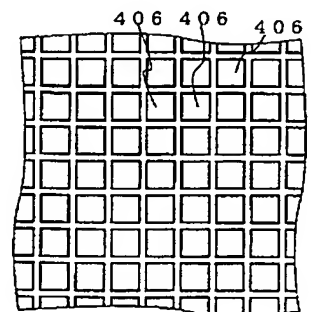
【符号の説明】

1…検出素子、100…認識対象物、101…半導体基板、102…下層絶縁膜、103…配線、104…層間絶縁膜、105…センサ電極、105a…検出領域、106…アース電極、106a…配線、106b…パッド、107…パシベーション膜、200, 200A, 200B…容量検出回路、210…信号発生回路、211…電流源、220…出力回路、300…処理回路、Q1, Q4…PchMOSトランジスタ、Q2, Q3, Q5, Q5A, Q5B…NchMOSトランジスタ、D1, D2…寄生ダイオード、Cf…容量値、Cp0, Cp1…寄生容量、N1, N2…節点。

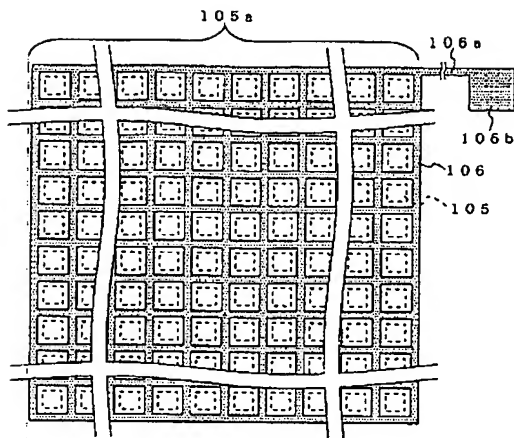
【図9】



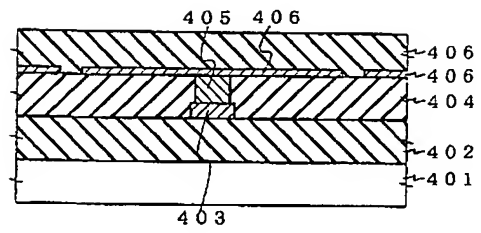
【図11】



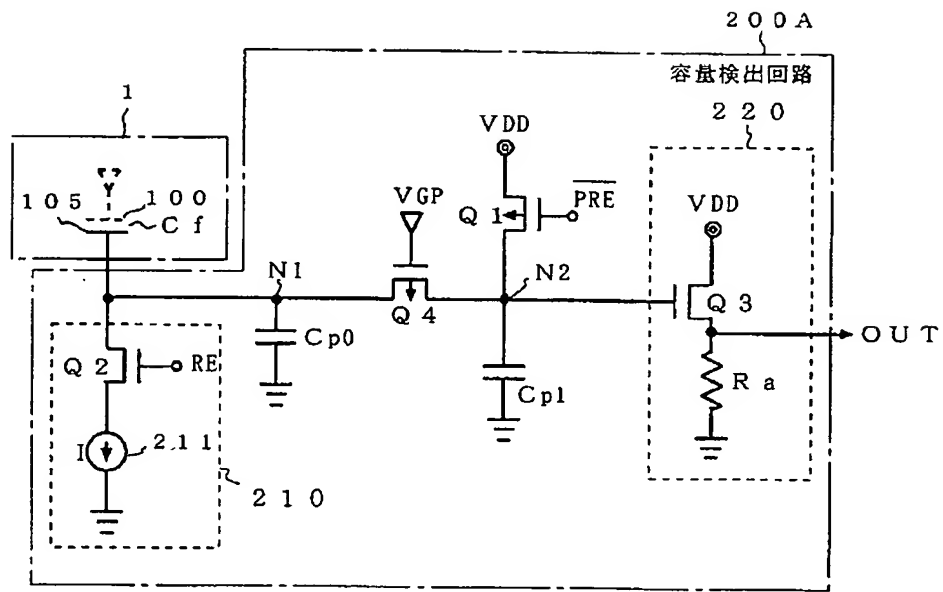
【図2】



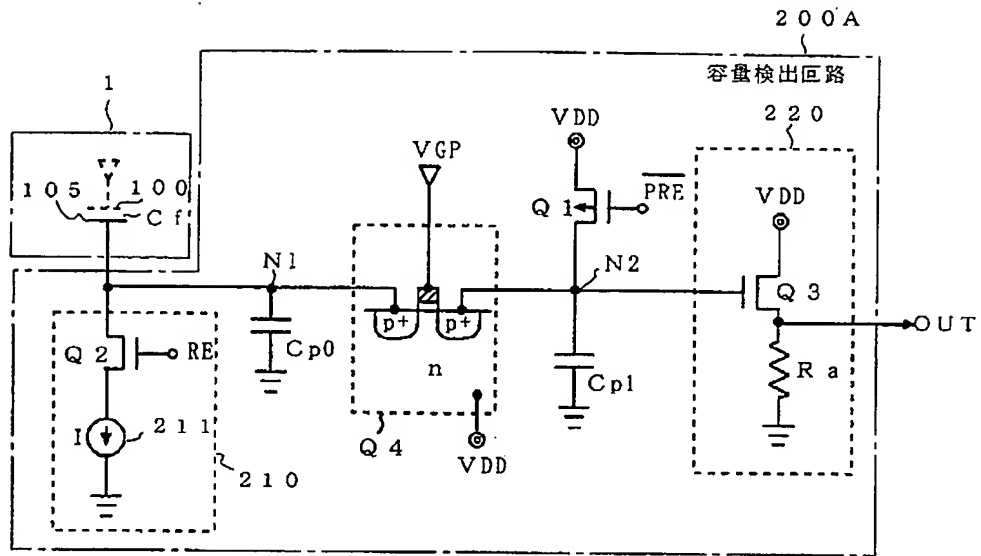
【圖 10】



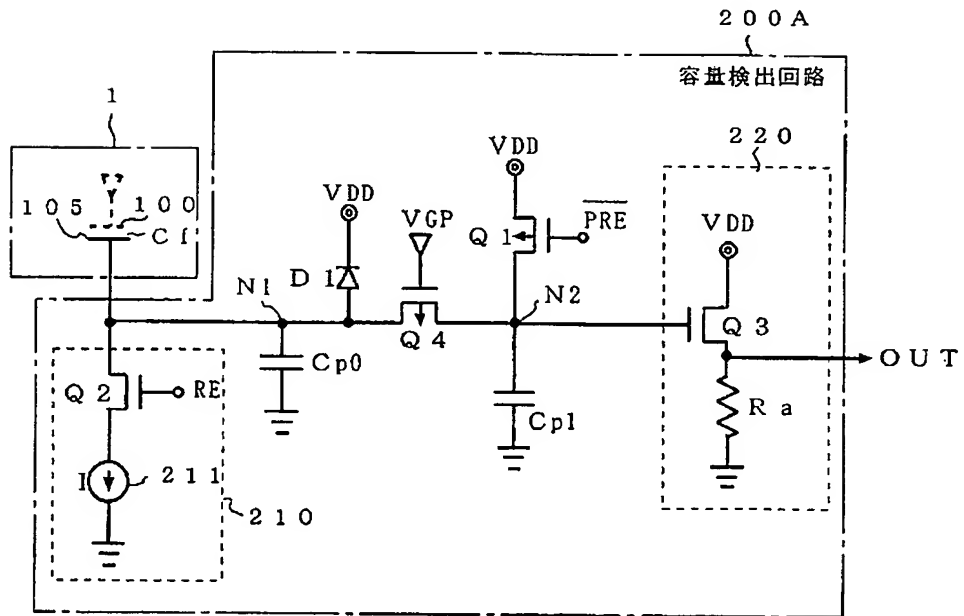
【図 3】



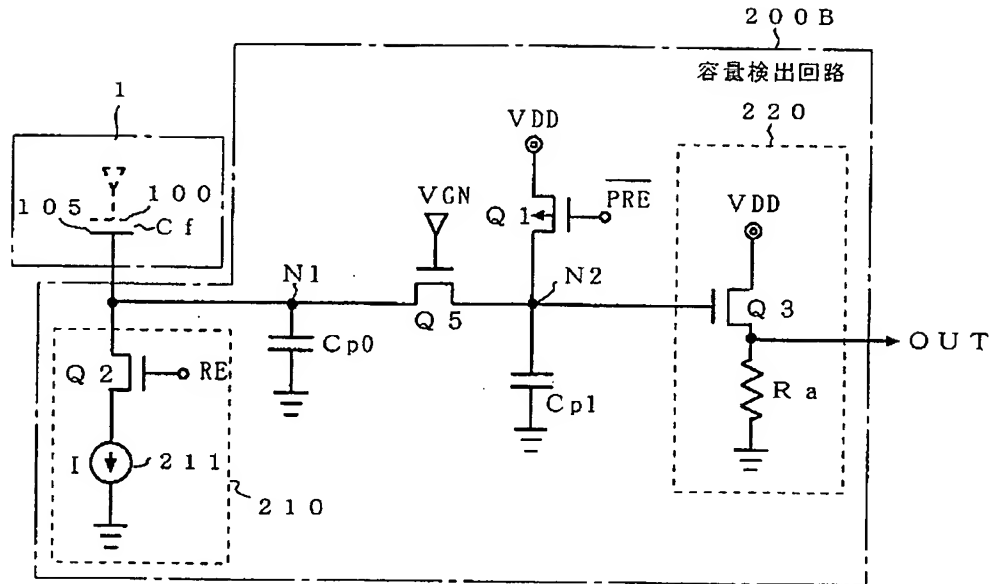
【図4】



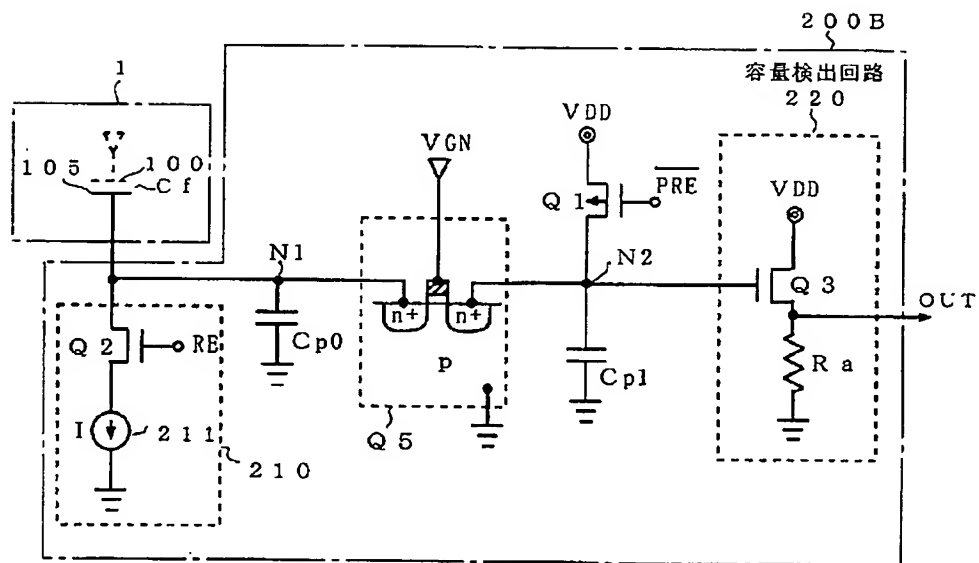
【図5】



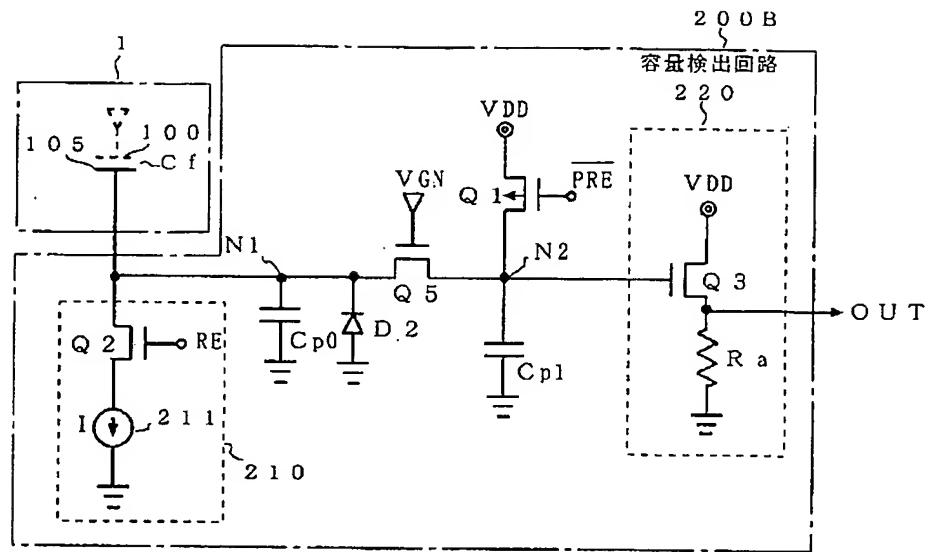
【図 6】



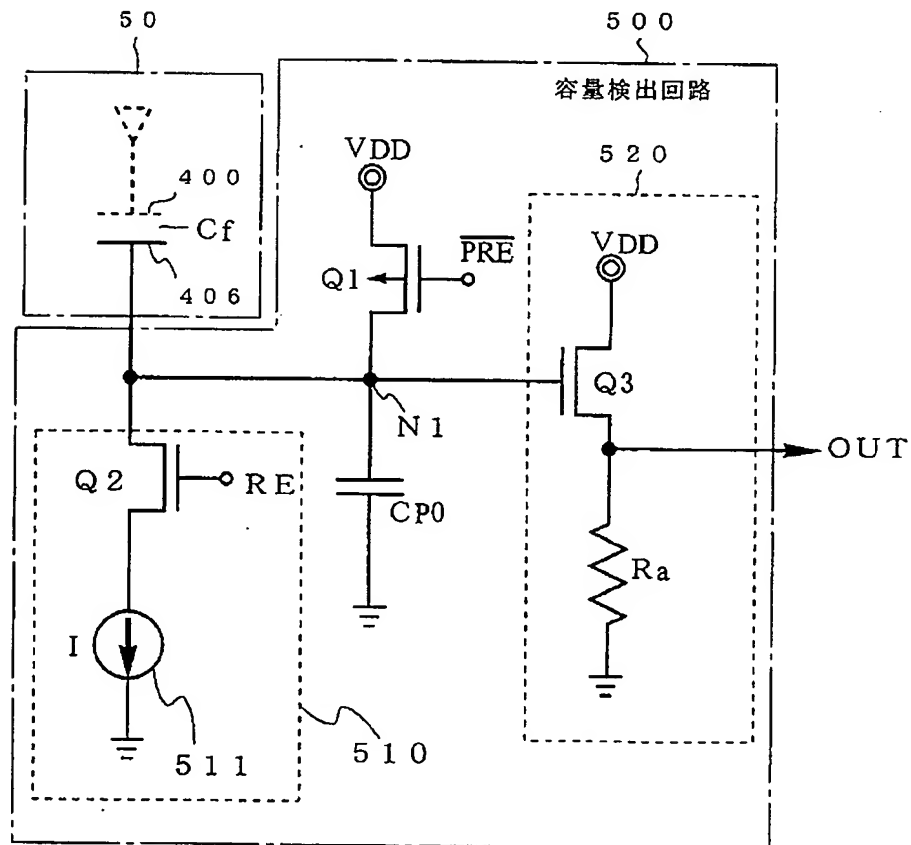
【図 7】



【図8】



【図12】



フロントページの続き

(72)発明者 町田 克之

東京都千代田区大手町二丁目 3 番 1 号 日
本電信電話株式会社内

(72)発明者 久良木 億

東京都千代田区大手町二丁目 3 番 1 号 日
本電信電話株式会社内

F ターム(参考) 2F063 AA41 BA29 CA28 DA02 DA05

DD07 HA04

4C038 FF01 FF05 FG00

5B047 AA25 BA02 BB10 BC01 CB11